

Family list

2 family member for:

JP7297404

Derived from 1 application.

1 MANUFACTURE OF THIN FILM TRANSISTOR

Publication Info: **JP3406681B2 B2** - 2003-05-12

JP7297404 A - 1995-11-10

Data supplied from the *esp@cenet* database - Worldwide

MANUFACTURE OF THIN FILM TRANSISTOR

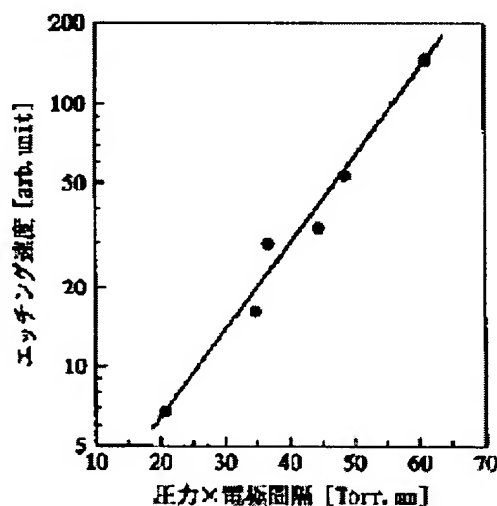
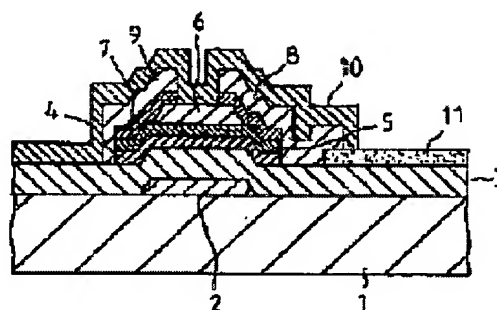
Patent number: JP7297404
Publication date: 1995-11-10
Inventor: FUKUDA KAICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** G02F1/136; H01L21/31; H01L21/336; H01L29/786;
G02F1/13; H01L21/02; H01L29/66; (IPC1-7):
H01L29/786; G02F1/136; H01L21/31
- **European:**
Application number: JP19940084223 19940422
Priority number(s): JP19940084223 19940422

[Report a data error here](#)

Abstract of JP7297404

PURPOSE:To make etching rate of a channel protective film faster than that of a gate insulating layer by adjusting the product of the gas pressure at the time of forming a channel protective film and the interval between discharge electrodes to a specific multiple of the product of the gas pressure at the time of forming the gate insulating layer and the interval between discharge electrodes.

CONSTITUTION:When the SiNX film 7 of a gate insulating layer 4 is formed, the gas pressure P_g and interval D_g between discharge electrodes are respectively adjusted to 3.5Torr and 14mm and, when the SiN film of a channel protective layer 6 is formed, the gas pressure P_c and interval D_c between electrodes are respectively adjusted to 2.5Torr and 14mm. Thus the product ($P_c \times D_c = 60 \text{ Torr} \cdot \text{mm}$) of the gas pressure P_c and interval D_c at the time of forming the SiN film of the channel protective layer 6 is made about 1.2 times (1.1-6 times) larger than that ($P_g \times D_g = 49 \text{ Torr} \cdot \text{mm}$) of the gas pressure P_g and interval D_g at the time of forming the SiN film of the gate insulating layer 4. From the relation between the product of the gas pressure and interval of discharge electrodes, the etching rate of the SiNX film 7 can be made faster than that of the SiNX film 4.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297404

(43) 公開日 平成7年(1995)11月10日

(51) Int. Cl. ⁶	識別記号	F I			
H01L 29/786					
G02F 1/136	500				
H01L 21/31					
	9056-4M	H01L 29/78	311	N	
		21/31		C	
		審査請求	未請求	請求項の数 2	OL (全8頁)

(21) 出願番号 特願平6-84223

(22) 出願日 平成6年(1994)4月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福田 加一

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 弁理士 大胡 典夫

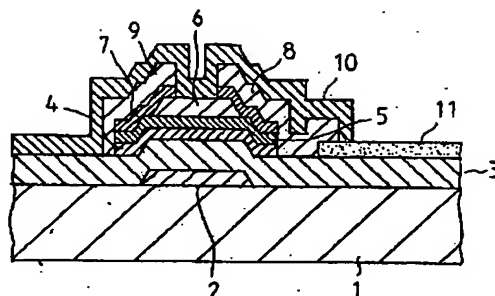
(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 プラズマCVD法により同一反応室でゲート絶縁層、このゲート絶縁層と同一組成のチャネル保護層を成膜しても、十分なエッチング選択性をもたせることを目的とする。

【構成】 プラズマCVD法によりゲート絶縁層、半導体活性層およびゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、そのゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ をゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の1.1倍ないし6倍にした。

【効果】 生産性を向上させることができる。



3: 第1のゲート絶縁層
4: 第2のゲート絶縁層
5: 非晶質シリコン膜
6: チャネル保護層

【特許請求の範囲】

【請求項 1】 プラズマ CVD 法によりゲート絶縁層、半導体活性層および上記ゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、

上記ゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、上記チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ を上記ゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の 1. 1 1 倍ないし 6 倍にしたことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 プラズマ CVD 法によりゲート絶縁層、半導体活性層および上記ゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、

上記ゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、上記チャネル保護層を成膜するときのガス圧力 P_c を上記ゲート絶縁層を成膜するときのガス圧力 P_g よりも 0. 0 5 Torr ないし 4 Torr 高くしたことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、アクティブマトリックス型液晶表示素子のスイッチング素子などに用いられる薄膜トランジスタの製造方法に関する。

【 0 0 0 2 】

【従来の技術】 液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイなどを指向した大容量、高密度化の点から、たとえばラビングによる配向処理が施された 2 枚の基板を、配向方向が互いに 90° をなすように平行に対向配置し、この対向基板間にネマチックタイプの液晶組成物を挟持させた、いわゆるツイストネマチック型 (TN 型) のアクティブマトリックス型液晶表示素子が注目されている。このアクティブマトリックス型液晶表示素子では、クロストークのない高コントラストの表示が得られるように各画素の駆動および制御を半導体スイッチング素子でおこなう方式が採用されている。その半導体スイッチング素子としては、透過型の表示が可能であり、また大面積化が容易であるなどの理由から、透明絶縁基板上に形成された非晶質シリコン (a-Si) 系の薄膜トランジスタ (TFT) が用いられている。しかもこの a-Si 系の TFT には、半導体活性層である a-Si 膜を挟んで、下層にゲート電極、上層にソース電極およびドレイン電極の配置された逆スタガード構造が多く用いられている。

【 0 0 0 3 】 この逆スタガード構造 a-Si 系の TFT として、ゲート絶縁層である窒化シリコン (SiN_x) 膜上に順次半導体活性層である a-Si 膜、チャネル保

護層である SiN_x 膜、低抵抗半導体層である燐 (P) ドープ a-Si 膜を積層し、これらゲート絶縁層の SiN_x 膜、a-Si 膜、チャネル保護層の SiN_x 膜、P ドープ a-Si 膜を挟んで、下層にゲート電極、上層にソース電極およびドレイン電極の配置された a-Si 系の TFT がある。

【 0 0 0 4 】 この a-Si 系の TFT のゲート絶縁層の SiN_x 膜、a-Si 膜、チャネル保護層の SiN_x 膜、P ドープ a-Si 膜は、従来、一度に 6 ~ 8 枚のガラス絶縁基板をトレイに搭載し、このトレイを搬送して連続処理するインライン式プラズマ CVD 装置により成膜されている。

【 0 0 0 5 】

【発明が解決しようとする課題】 上記のように、アクティブマトリックス型液晶表示素子は、半導体スイッチング素子として a-Si 系の TFT が用いられている。従来、この a-Si 系の TFT のゲート絶縁層の SiN_x 膜、a-Si 膜、チャネル保護層の SiN_x 膜、P ドープ a-Si 膜などは、一度に 6 ~ 8 枚のガラス絶縁基板を搭載したトレイを搬送して連続処理するインライン式プラズマ CVD 装置により形成されている。しかしこのインライン式プラズマ CVD 装置は、量産性にはすぐれているが、装置が巨大で大きな設置スペースが必要である。また搬送トレイにも膜が付着し、この付着膜が剥がれてパーティクルの原因となり、歩留が低下する。さらに装置内壁に付着した膜の剥がれを防止するために、定期的に装置の稼働を停止して冷却し、クリーニングをおこなう必要がある。そのため、装置の稼働率が低いなどの問題がある。

【 0 0 0 6 】 ところで、半導体素子製造の分野では、トレイを用いることなく基板のみを搬送して、一つの反応室で 1 枚づつ基板を処理する枚葉プロセスが主流となっている。通常この枚葉プロセスでは、成膜とプラズマエッチングによる反応室のクリーニングとを交互に周期的におこなっている。

【 0 0 0 7 】 そこで、近年、大型ガラス絶縁基板を用いる a-Si 系の TFT の製造に、この枚葉プロセスを導入する開発が進められている。この枚葉プロセスでは、その処理装置 (枚葉式プラズマ CVD 装置) を小型化でき、設置スペースを小さくすることが可能である。またトレイを用いることなく基板のみを搬送するので、パーティクルの発生を抑制できる。さらにプラズマエッチングにより反応室をクリーニングすることにより、パーティクルを低減できるばかりでなく、装置の稼働率の大幅な向上が見込まれる。

【 0 0 0 8 】 ところで、このような枚葉式プラズマ CVD 装置の生産能力をインライン式プラズマ CVD 装置と同等以上にするためには、成膜速度をインライン式プラズマ CVD 装置での成膜速度の 10 倍以上とし、かつ順次積層する異なる種類の薄膜を同一反応室で連続的に成

10

20

30

40

50

膜することが要求される。たとえば上記 T F T のゲート絶縁層の Si N_x 膜、a - Si 膜、チャネル保護層の Si N_x 膜を同一反応室で成膜することが必要である。

【 0 0 0 9 】 通常インライン式プラズマ C V D 装置では、異なる種類の薄膜は、それぞれ異なる反応室で成膜する。そのため、ガラス絶縁基板の温度は、各薄膜に応じた温度に独立に制御することが可能である。

【 0 0 1 0 】 一方、チャネル保護層は、その Si N_x 膜を成膜したのち、フォトリソグラフィにより弗酸 (H F) 溶液を用いてエッチング加工するので、同一成分からなるゲート絶縁層の Si N_x 膜をエッチングしないように、十分なエッチング選択性をもたせることが必要である。このようなエッチング選択性をもたせるために、従来のインライン式プラズマ C V D 装置では、チャネル保護層の Si N_x 膜を成膜するときのガラス絶縁基板の温度を、ゲート絶縁層の Si N_x 膜を成膜するときのガラス絶縁基板の温度よりも 5 0 ° C 程度低くして、速いエッチング速度でチャネル保護層を加工するようにしている。しかし枚葉式プラズマ C V D 装置により、同一反応室でゲート絶縁層の Si N_x 膜、a - Si 膜、チャネル保護層の Si N_x 膜を連続的に成膜するときは、上記インライン式プラズマ C V D 装置で成膜するように、ガラス絶縁基板の温度を変えると、生産性が低下する。したがって一定の温度でゲート絶縁層の Si N_x 膜、a - Si 膜、チャネル保護層の Si N_x 膜を成膜しなければならない。

【 0 0 1 1 】 この発明は、上記問題点に鑑みてなされたものであり、プラズマ C V D 法により同一反応室でゲート絶縁層、半導体活性層およびゲート絶縁層と同一成分のチャネル保護層を成膜しても、チャネル保護層のエッチング加工に対して、十分なエッチング選択性をもたせることができる T F T の製造方法を得ることを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】 プラズマ C V D 法によりゲート絶縁層、半導体活性層およびゲート絶縁層と同一成分のチャネル保護層を積層成膜する薄膜トランジスタの製造方法において、ゲート絶縁層、半導体活性層およびチャネル保護層を同一反応室で連続的に積層成膜し、チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 P_c ・ D_c をゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 P_g ・ D_g の 1 . 1 倍ないし 6 倍にした。

【 0 0 1 3 】 また、チャネル保護層を成膜するときのガス圧力 P_c をゲート絶縁層を成膜するときのガス圧力 P_g よりも 0 . 0 5 Torr ないし 4 Torr 高くした。

【 0 0 1 4 】

【作用】 上記のように、チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 P_c ・ D_c をゲート絶縁層を成膜するときのガス圧力 P_g と放電電極

間隔 D_g との積 P_g ・ D_g の 1 . 1 倍ないし 6 倍するか、または、チャネル保護層を成膜するときのガス圧力 P_c をゲート絶縁層を成膜するときのガス圧力 P_g よりも 0 . 0 5 Torr ないし 4 Torr 高くすると、フォトリソグラフィ法により、チャネル保護層をエッチング加工するときのエッチング速度をゲート絶縁層のエッチング速度よりも速くすることができる。それにより、チャネル保護層をエッチング加工するとき、ゲート絶縁層のエッチングを抑制することができ、十分にエッチングの選択性をもたせることができる。

【 0 0 1 5 】

【実施例】 以下、図面を参照してこの発明を実施例に基づいて説明する。

【 0 0 1 6 】 図 1 にその一実施例に係るアクティブマトリックス型液晶表示素子のスイッチング素子として用いられる T F T を示す。この T F T は、ガラス絶縁基板 1 の一主面上に形成されたモリブデン-タンタル (Mo - Ta) からなる所定形状のゲート電極 2 と、このゲート電極 2 を覆うようにガラス絶縁基板 1 上に形成された膜厚 0 . 3 μ m の酸化シリコン (Si O₂) 膜からなる第 1 のゲート絶縁層 3 と、上記ゲート電極 2 に対応してこのゲート絶縁層 3 上に形成された膜厚 0 . 0 5 μ m の Si N_x 膜 4 からなる所定形状の第 2 のゲート絶縁層と、この Si N_x 膜 4 上に形成された膜厚 0 . 0 5 μ m の a - Si 膜 5 からなる所定形状の半導体活性層と、この a - Si 膜 5 上に形成された膜厚 0 . 3 μ m の Si N_x 膜からなる所定形状のチャネル保護層 6 と、このチャネル保護層 6 および上記 a - Si 膜 5 上に形成された膜厚 0 . 0 5 μ m の P ドープ a - Si 膜 7 からなる所定形状の低抵抗半導体層と、この P ドープ a - Si 膜 7 上のソース領域およびドレイン領域にそれぞれ形成されたクロム (Cr) またはアルミニウム (Al) からなるソース電極 8 およびドレイン電極 9 と、上記チャネル領域のチャネル保護層 6、ソース電極 8 およびドレイン電極 9 を覆う Si N_x 膜からなる絶縁保護膜 1 0 とから構成されている。そのソース電極 8 は、ゲート絶縁層 3 上に積層形成された I T O (Indium Tin Oxide) からなる画素電極 1 1 に接続されている。

【 0 0 1 7 】 この T F T の製造は、図 2 (a) に示すように、まずガラス絶縁基板 1 の一主面上にスパッター法により Mo - Ta からなる金属膜を成膜し、フォトリソグラフィ法によりエッチングして、所定形状のゲート電極 2 に加工する。つぎにこのゲート電極 2 の形成されたガラス絶縁基板 1 を 4 0 0 ° C に加熱し、常圧熱 C V D 法により上記ゲート電極 2 を覆うようにガラス絶縁基板 1 上に膜厚 0 . 3 μ m の Si O₂ 膜からなる第 1 のゲート絶縁膜 3 を成膜する。

【 0 0 1 8 】 つぎに、後述する枚葉式プラズマ C V D 装置により、図 2 (b) に示すように、上記ゲート絶縁膜 3 などの形成されたガラス絶縁基板 1 を 3 5 0 ° C に加熱

し、プラズマCVD法により、同一反応室で順次ゲート絶縁膜3上に膜厚0.05 μm の Si N_x 膜4、膜厚0.3 μm の a-Si 膜5、膜厚0.3 μm の Si N_x 膜6aを連続的に積層成膜する。つぎにこの Si N_x 膜6aを成膜されたガラス絶縁基板1を枚葉式プラズマCVD装置から取出し、フォトリソグラフィ法により上記 Si N_x 膜6aをHFを主成分とするエッチング溶液でエッチングして、図2(c)に示すように、所定形状のチャンネル保護層6に加工する。

【0019】つぎに、たとえば枚葉式プラズマCVD装置により、上記チャンネル保護層6の形成されたガラス絶縁基板1に膜厚0.05 μm のPドーパ a-Si 膜7を成膜する。そしてフォトリソグラフィ法によりエッチングして、このPドーパ a-Si 膜7を所定形状の低抵抗半導体層に加工するとともに、その下層の a-Si 膜5および Si N_x 膜4をそれぞれ所定形状の半導体活性層、ゲート絶縁層に加工する。つぎにこのガラス絶縁基板1にスパッター法によりITOからなる透明導電膜を成膜し、フォトリソグラフィ法によりこの透明導電膜をエッチングして、ゲート絶縁膜3上の所定位置に画素電極11に加工する。

【0020】つぎに上記画素電極11などの形成されたガラス絶縁基板1上に、スパッター法によりCrまたはAlなどからなる金属膜を成膜する。そしてこの金属膜をフォトリソグラフィ法によりエッチングして、図2

(d)に示すように、ソース領域に画素電極10に接続されたソース電極8を形成するとともに、ドレイン領域にドレイン電極9を形成する。その後、フォトリソグラフィ法により、このソース電極8およびドレイン電極9をマスクとして、これら電極8、9間のチャンネル領域にあるPドーパ a-Si 膜7を、図2(e)に示すようにエッチングにより除去する。その後、上記ソース電極7およびドレイン電極8の形成されたガラス絶縁基板1上に、プラズマCVD法により膜厚0.3 μm の Si N_x 膜を成膜し、この Si N_x 膜をフォトリソグラフィ法によりエッチングして、図1に示したように、ソース電極7、ドレイン電極8およびこれら電極7、8間のチャンネル保護層6を覆う絶縁保護膜を成膜する。

【0021】図3に、上記第2のゲート絶縁層の Si N_x 膜、半導体活性層の a-Si 膜およびチャンネル保護層の Si N_x 膜の成膜に用いられる枚葉式プラズマCVD装置の一例を示す。この枚葉式プラズマCVD装置は、中央にガラス絶縁基板を搬送する搬送機構が設けられた真空の共通室13を備え、この共通室13を取囲むように、その周囲に4つの反応室14~17と1つの加熱室18と2つの搬出入室19、20とが配置されたてい

る。その各反応室14~17内には、図4に示すように、高周波電源22に接続された高周波電極23およびこの高周波電極23と対向する接地電極24が配置されている。この接地電極24は、昇降機構25により高周波電極23に対して接離可能となっている。ガラス絶縁基板1は、この接地電極24の高周波電極23との対向面に固定される。またこの接地電極24には、固定されたガラス絶縁基板1を所定温度に加熱するヒーター26が設けられている。また各反応室14~16には、シラン(Si H_4)、水素(H_2)、アンモニア(N H_3)、窒素(N_2)、フォスフィン(P H_3)、弗化窒素(N F_3)、アルゴン(Ar)などの成膜またはクリーニング用ガスを供給するガス供給装置27、および各反応室14~17内を排気するためのルーツブローポンプおよびドライポンプからなる排気装置28が付設されている。一方、共通室13、加熱室18および搬出入室19、20には、それぞれNガスを供給するガス供給装置および排気装置が付設されている。

【0022】この枚葉式プラズマCVD装置による第2のゲート絶縁層の Si N_x 膜、 a-Si 膜およびチャンネル保護層の Si N_x 膜の成膜は、ガラス絶縁基板をいずれか一方の搬出入室19または20に搬入し、共通室13を介して加熱室18に搬送して加熱する。約30分加熱したのち、再び共通室13を介して、たとえば反応室14に搬送する。そしてこの反応室14の対向電極24上でガラス絶縁基板を330℃に加熱し、プラズマCVD法により順次膜厚0.05 μm の Si N_x 膜(第2のゲート絶縁層)、膜厚0.05 μm の a-Si 膜および0.3 μm の Si N_x 膜(チャンネル保護層)を積層成膜することによりおこなわれる。

【0023】この場合、同一成分の第2のゲート絶縁層の Si N_x 膜およびチャンネル保護層の Si N_x 膜は、それぞれ表1に示す成膜条件で成膜する。特にゲート絶縁層の Si N_x 膜をガス圧力 P_g 3.5Torr、高周波電極と接地電極との間隔(放電電極間隔) D_g 14mmで成膜するのに対し、チャンネル保護層の Si N_x 膜をガス圧力 P_c 2.5Torr、放電電極間隔 D_c 14mmで成膜し、
 $P_g \cdot D_g = 49 \text{ Torr} \cdot \text{mm}$
 $P_c \cdot D_c = 60 \text{ Torr} \cdot \text{mm}$

と、チャンネル保護層の Si N_x 膜を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ がゲート絶縁層の Si N_x 膜を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の約1.2倍としている。

【表1】

	ゲート絶縁層	チャネル保護層
ガス流量 SiH (sccm) NH N	400 2000 3000	400 2000 3000
ガス圧力 (Torr)	3.5	2.5
放電電力 (W)	1500	1500
放電電極間隔 (mm)	1.4	2.4

【0024】なお、上記 SiN_x 膜（第2のゲート絶縁層）、 a-Si 膜および SiN_x 膜（チャネル保護層）の成膜されたガラス絶縁基板は、共通室12を経て、いずれか一方の搬出入室18または19から搬出される。

【0025】また、上記枚葉式プラズマCVD装置では、他の反応室15～17も、反応室14と同様に第2のゲート絶縁層の SiN_x 膜、 a-Si 膜およびチャネル保護層の SiN_x 膜を並列的に成膜する。

【0026】ところで、上記のようにガラス絶縁基板1の温度を一定にして、ゲート絶縁層の SiN_x 膜4と同一成分のチャネル保護層の SiN_x 膜7とを成膜するとき、チャネル保護層の SiN_x 膜7を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ を、第2のゲート絶縁層の SiN_x 膜4を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ よりも大きくして成膜すると、図5に SiN_x 膜を成膜するときのガス圧力 P と放電電極間隔 D との積 $P \cdot D$ とエッチング速度との関係を示すように、フォトリソグラフィ法による SiN_x 膜7のエッチング速度を SiN_x 膜4のエッチング速度よりも十分に大きくすることができる。したがって上記のように成膜したのち、フォトリソグラフィ法により SiN_x 膜7を HF を主成分とするエッチング溶液によりエッチングしても、 SiN_x 膜4のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0027】なお、上記実施例では、チャネル保護層の SiN_x 膜7を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_c \cdot D_c$ を、第2のゲート絶縁層の SiN_x 膜4を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ の約1.2倍としたが、この P

$c \cdot D_c$ と $P_g \cdot D_g$ との関係は、 $P_c \cdot D_c$ を $P_g \cdot D_g$ の1.1倍ないし6倍の範囲にすることにより、その結果得られるエッチング速度差により、フォトリソグラフィ法により SiN_x 膜7をエッチングするとき、 SiN_x 膜4のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0028】つぎに他の実施例について説明する。

【0029】上記実施例では、枚葉式プラズマCVD装置により所定温度に加熱されたガラス絶縁基板にチャネル保護層の SiN_x 膜を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 $P_g \cdot D_g$ を、第2のゲート絶縁層の SiN_x 膜を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 $P_g \cdot D_g$ よりも大きくして、同一温度で成膜したが、これらチャネル保護層の SiN_x 膜および第2のゲート絶縁層の SiN_x 膜は、表2に示すように、ゲート絶縁層の SiN_x 膜を成膜するときの放電電極間隔 D_g およびチャネル保護層の SiN_x 膜を成膜するときの放電電極間隔 D_c をともに2.4mmと一定にし、ゲート絶縁層の SiN_x 膜を成膜するときのガス圧力 P_g を1.5Torr、チャネル保護層の SiN_x 膜を成膜するときのガス圧力 P_c を2.5Torrと大きくするだけでも、チャネル保護層の SiN_x 膜のエッチング速度を第2のゲート絶縁層の SiN_x 膜のエッチング速度よりも大きくすることができ、成膜後、フォトリソグラフィ法によりチャネル保護層の SiN_x 膜7をエッチングするとき、第2のゲート絶縁層の SiN_x 膜のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0030】

【表2】

30

40

50

	ゲート絶縁層	チャネル保護層
ガス流量 Si H (sccm) NH N	4 0 0 2 0 0 0 3 0 0 0	4 0 0 2 0 0 0 3 0 0 0
ガス圧力 (Torr)	1. 5	2. 5
放電電力 (W)	1 5 0 0	1 5 0 0
放電電極間隔 (mm)	2 4	2 4

【0031】なお、上記実施例では、
 $P_c - P_g = 2.5 \text{ Torr} - 1.5 \text{ Torr}$
 $= 1 \text{ Torr}$

と、チャネル保護層の Si N_x 膜を成膜するときのガス圧力 P_c を第2のゲート絶縁層の Si N_x 膜を成膜するときのガス圧力 P_g よりも 1 Torr 高くしたが、この Si N_x 膜を成膜するときのガス圧力とエッチング速度とは、図6に示す関係にあり、チャネル保護層の Si N_x 膜を成膜するときのガス圧力 P_c を第2のゲート絶縁層の Si N_x 膜を成膜するときのガス圧力 P_g よりも 0.05 Torr ないし 4 Torr 高くすることにより、その結果得られるエッチング速度により、フォトリソグラフィ法によりチャネル保護層の Si N_x 膜7をエッチングするとき、第2のゲート絶縁層の Si N_x 膜のエッチングを抑制して、所要のチャネル保護層に加工することができる。

【0032】なお、上記各実施例では、アクティブマトリクス型液晶表示素子の TFT について説明したが、この発明は、a-Si 系の密着センサーにも適用可能である。

【0033】

【発明の効果】プラズマ CVD 法によりゲート絶縁層、半導体活性層、ゲート絶縁層と同一成分のチャネル保護層を順次積層成膜する薄膜トランジスタの製造方法において、チャネル保護層を成膜するときのガス圧力 P_c と放電電極間隔 D_c との積 P_c · D_c をゲート絶縁層を成膜するときのガス圧力 P_g と放電電極間隔 D_g との積 P_g · D_g の 1.1 倍ないし 6 倍するか、または、チャネル保護層を成膜するときのガス圧力 P_c をゲート絶縁層を成膜するときのガス圧力 P_g よりも 0.05 Torr ないし 4 Torr 高くすると、フォトリソグラフィ法により、チャネル保護層をエッチング加工するときのエッチング速度をゲート絶縁層のそれよりも速くすることができる。それにより、チャネル保護層をエッチング加工するとき、ゲート絶縁層のエッチングを抑制して、十分にエッチングの選択性を確保することができる。したがって上記のようにすることにより、ゲート絶縁層、半導体活性層、ゲート絶縁層と同一成分のチャネル保護層を同一反応室で成膜しても、所要の薄膜トランジスタを製造することができ、その生産性を向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るアクティブマトリクス型液晶表示素子のスイッチング素子として用いられる薄膜トランジスタの構成を示す図である。

【図2】図2(a)ないし(e)はそれぞれ上記薄膜トランジスタの製造方法を説明するための図である。

【図3】この発明の一実施例に係る枚葉式プラズマ CVD 装置の構成を示す図である。

【図4】上記枚葉式プラズマ CVD 装置の反応室の構成を示す図である。

【図5】プラズマ CVD 法により窒化シリコン膜を成膜するときのガス圧力と電極間隔との積とエッチング速度との関係を示す図である。

【図6】プラズマ CVD 法により窒化シリコン膜を成膜するときのガス圧力とエッチング速度との関係を示す図である。

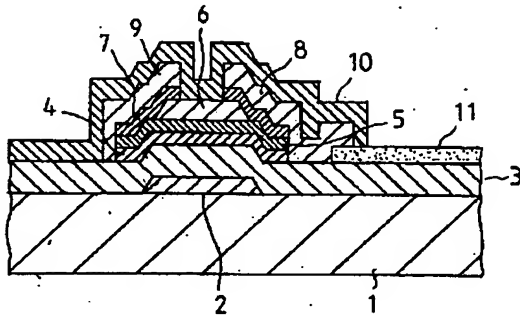
【符号の説明】

- 1…ガラス絶縁基板
- 2…ゲート電極
- 3…第1のゲート絶縁膜
- 4…第2のゲート絶縁膜
- 5…非晶質シリコン膜(半導体活性層)

- 6…チャネル保護層
 7…燐ドーブ非晶質シリコン膜（低抵抗半導体膜）
 8…ソース電極

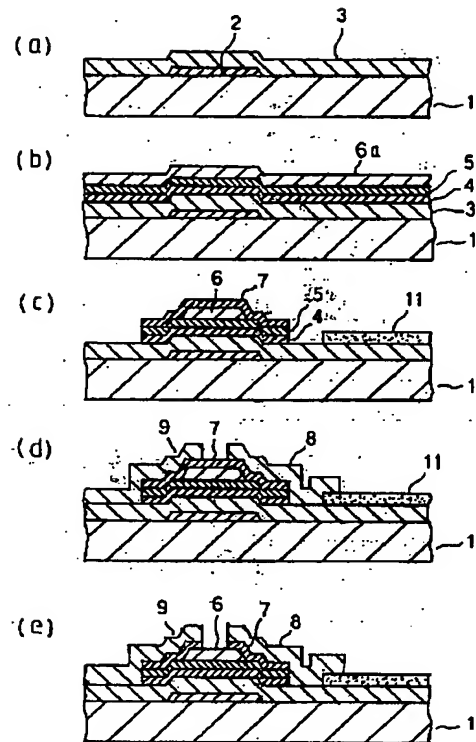
- 9…トレイン電極
 10…絶縁保護膜
 11…画素電極

【図1】

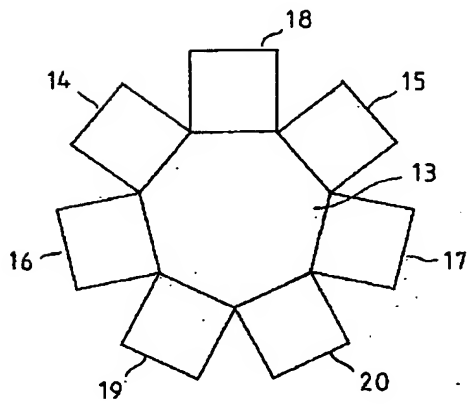


- 3: 第1のゲート絶縁層
 4: 第2のゲート絶縁層
 5: 非晶質シリコン膜
 6: チャネル保護層

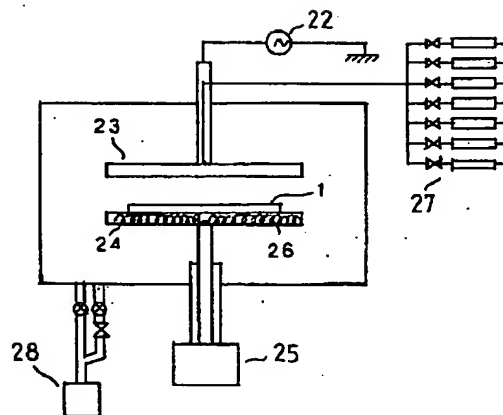
【図2】



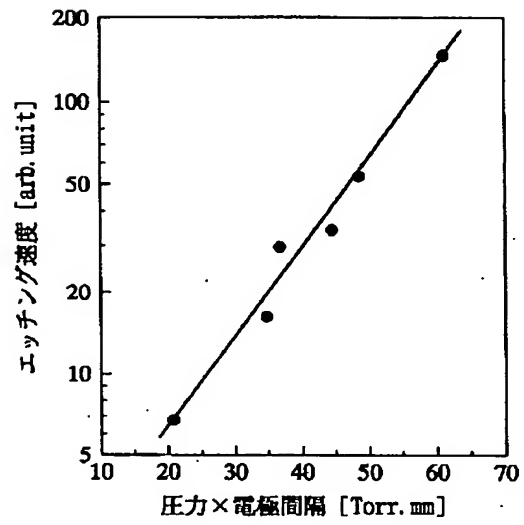
【図3】



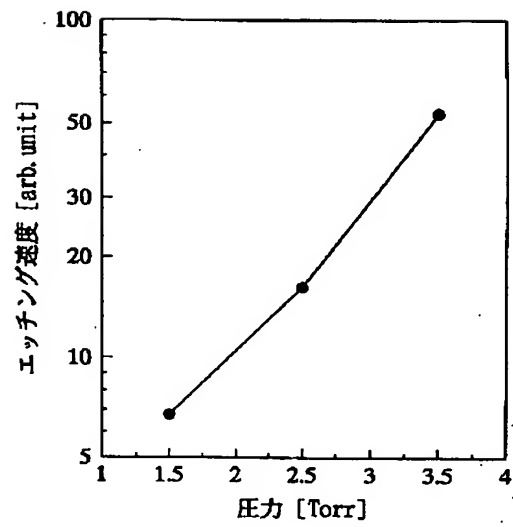
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.